

Docket No.: 69773-011

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Tadata HATANAKA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 13, 2003	:	Examiner: Unknown
	:	
For:		MAGNETIC FIELD SENSOR, METHOD FOR DETECTING MAGNETIC FIELD AND DEVICE FOR DETECTING MAGNETIC FIELD

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-329535, filed November 13, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: November 13, 2003

04++3-011
November 13, 2003
HATANAKA

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月13日

出 願 番 号

Application Number:

特願2002-329535

[ST.10/C]:

[JP 2002-329535]

出 願 人

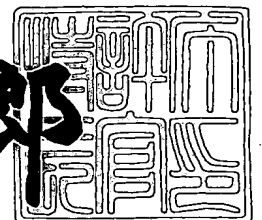
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030845

【書類名】 特許願

【整理番号】 2924040056

【提出日】 平成14年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 33/06

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 畑中 忠太

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 磁界センサ

【特許請求の範囲】

【請求項 1】 第 1 の端子対と第 2 の端子対とを備えて印加された磁界に応じた信号を出力する磁電変換素子と、

この磁電変換素子の第 1、第 2 の端子対の信号を個々に与え、外部から与える信号の第 1、第 2、第 3、第 4 の期間に応じて切り替えた信号を出力する第 1 のスイッチ部と、

この第 1 のスイッチ部の出力信号を増幅して出力端子対に信号を出力する増幅器と、

前記増幅器の出力端子対に両端が接続された記憶素子と、

前記出力端子対の一方と前記記憶素子の一端子間に挿入接続され、前記外部から与える信号の第 1 の期間及び第 3 の期間に連動して閉じ、第 2 の期間及び第 4 の期間に連動して開く第 2 のスイッチ部と、

前記第 2 のスイッチ部両端の少なくとも一方の信号を出力するスイッチ出力端子とを備え、

前記第 1 のスイッチ部が、前記外部から与える信号の第 1 の期間と第 4 の期間に前記磁電変換素子の第 1 端子対の信号を出力し、前記外部から与える信号の第 2 の期間と第 3 の期間に前記磁電変換素子の第 2 端子対の信号を出力することを特徴とする磁界センサ。

【請求項 2】 請求項 1 記載の磁界センサにおいて、

前記第 2 のスイッチ部が出力端子対を備えたことを特徴とする磁界センサ。

【請求項 3】 請求項 1 記載の磁界センサであって、さらに、

前記スイッチ出力端子の信号を与えて所定の値と比較した結果を出力する比較器を備えたことを特徴とする磁界センサ。

【請求項 4】 請求項 3 記載の磁界センサにおいて、前記比較器の出力信号に応じて異なる電圧を前記スイッチ出力端子の信号に付加することを特徴とする磁界センサ。

【請求項 5】 請求項 1 記載の磁界センサであって、さらに、前記第 2 のスイ

ッチ部両端の一方を比較器入力端子対の一方に接続し、前記第 2 のスイッチ部の他方を第 2 の記憶素子を介して前記比較器入力端子対の他方に接続したことを特徴とする磁界センサ。

【請求項 6】 請求項 5 記載の磁界センサであって、さらに、
前記第 2 の記憶素子両端の一方に一端を接続した第 3 のスイッチ部と、
前記第 2 の記憶素子両端の他方に一端を接続した第 4 のスイッチ部と、
前記第 3 のスイッチ部の他方に第 1 の電圧を与える電圧源と、
前記第 4 のスイッチ部の他方に前記第 1 の電圧値と異なる電圧を与える電圧源とを備え、

前記第 3、第 4 のスイッチ部を信号の前記第 1 の期間に閉じることを特徴とする磁界センサ。

【請求項 7】 請求項 6 記載の磁界センサにおいて、前記第 1 の電圧値若しくは第 2 の電圧値の一方を外部から与える信号に応じて異ならせることを特徴とする磁界センサ。

【請求項 8】 請求 1 記載の磁界センサにおいて、前記記憶素子がコンデンサであることを特徴とする磁界センサ。

【請求項 9】 請求項 6 記載の磁界センサにおいて、前記第 2 の記憶素子がコンデンサであることを特徴とする磁界センサ。

【請求項 10】 請求項 1 記載の磁界センサであって、さらに、
前記スイッチ出力端子の信号を与えて、前記外部から与える信号の第 2 の期間と第 4 の期間の信号値を判定した信号を出力する判定回路を備えたことを特徴とする磁界センサ。

【請求項 11】 請求項 10 記載の磁界センサにおいて、前記判定回路が、
前記比較器出力端子の信号を D 入力端子に与え、かつ、クロック信号をクロック入力端子に与え、前記第 2 の期間内に信号を保持して Q 出力端子に出力する第 1 のフリップフロップと、

前記比較器出力端子と前記第 1 のフリップフロップの Q 出力端子とを個々に入力端子対に与え NOR 論理出力を出力する NOR 論理回路と、

前記 NOR 論理回路の出力を D 入力端子に与え、かつ、クロック信号をクロック

ク入力端子に与え、前記第 4 の期間内に信号を保持して出力端子に出力する第 2 のフリップフロップとを備え、

第 2 のフリップフロップ出力端子信号を取り出すことを特徴とする磁界センサ

【請求項 1 2】 請求項 1 0 記載の磁界センサにおいて、前記判定回路が、
前記比較器出力端子の信号を D 入力端子に与え、かつ、クロック信号をクロック入力端子に与え、前記第 2 の期間内に信号を保持して Q 出力端子に出力する第 1 のフリップフロップと、

前記比較器出力端子の信号を D 入力端子に与え、かつ、クロック信号をクロック入力端子に与え、前記第 4 の期間内に信号を保持して出力端子に出力する第 2 のフリップフロップと、

前記第 1、第 2 のフリップフロップの Q 出力を個々に入力端子対に与え NOR 論理出力を出力する NOR 論理回路とを備え、

該 NOR 論理回路出力を取り出すことを特徴とする磁界センサ。

【請求項 1 3】 請求項 1 記載の磁界センサにおいて、

前記第 1 のスイッチ部が、

第 1 の電圧を与える第 1 電圧端子と、

第 2 の電圧を与える第 2 電圧端子と、

第 1、第 2、第 3 及び第 4 入力端子と、

第 1 及び第 2 出力端子と、

第 1 電圧端子と第 1 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 1 のスイッチ素子と、

第 1 電圧端子と第 2 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 2 のスイッチ素子と、

第 2 電圧端子と第 3 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 3 のスイッチ素子と、

第 2 電圧端子と第 4 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 4 のスイッチ素子と、

第 1 出力端子と第 1 入力端子間に挿入接続され外部から与える信号に応じて開

閉動作する第 5 のスイッチ素子と、

第 1 出力端子と第 2 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 6 のスイッチ素子と、

第 2 出力端子と第 3 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 7 のスイッチ素子と、

第 2 出力端子と第 4 入力端子間に挿入接続され外部から与える信号に応じて開閉動作する第 8 のスイッチ素子とを備え、

前記磁電変換素子の第 1 端子対の一方を前記第 1 入力端子に接続し、

前記磁電変換素子の第 2 端子対の一方を前記第 2 入力端子に接続し、

前記磁電変換素子の第 1 端子対の他方を前記第 3 入力端子に接続し、

前記磁電変換素子の第 2 端子対の他方を前記第 4 入力端子に接続したことを特徴とする磁界センサ。

【請求項 1 4】 請求項 7 記載の磁界センサにおいて、前記第 1、第 3、第 6 及び第 8 スwitch素子が、外部から与える信号の第 1 及び第 4 の期間に閉じ、前記第 2、第 4、第 5 及び第 7 のスイッチが、外部から与える信号の第 2 及び第 3 の期間に閉じることを特徴とする磁界センサ。

【請求項 1 5】 前記磁電変換器が、ホール素子であることを特徴とする磁界センサ。

【請求項 1 6】 前記磁電変換器が、磁気抵抗であることを特徴とする磁界センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁界の極性に依存せず磁界の強度検出を行なうことができる磁界センサに関する。

【0002】

【従来の技術】

磁界センサは、ホール効果を利用した磁電変換素子を通過する磁束密度に比例して、該磁電変換素子の出力端子に発生する電圧を増幅器で増幅し、その増幅信

号を比較器等により判定して、検出された磁界（以下、検出磁界と呼ぶ。）の強度が所定の磁界強度と比べて大きいか否かの判定結果を外部に出力する構成を持つ。

【 0 0 0 3 】

一般に、磁界センサは、バイポーラトランジスタ又はCMOSデバイス等を用いてモノリシックに集積されて構成されている。製品としての磁界センサの優劣を決める要因の1つは、検出磁界を電圧に変換して比較する間に生じる検出値のばらつきである。このばらつきの要因は主に2つあって、1つは封止用パッケージの応力等の影響による磁電変換素子のオフセット信号成分であり、他の1つは増幅器の入力オフセット信号成分である。

【 0 0 0 4 】

磁電変換素子のオフセット信号成分の補償方法は、米国特許文献（例えば、特許文献1参照。）に開示されている。すなわち、幾何学的に等価な4端子を持つ磁電変換素子の出力端子のうちそれぞれ対角に位置する2対の出力端子の電位差を、検出のトリガとなる同期信号における第1の位相と第2の位相とで交互に入れ換えて出力し、その出力値の和を取る。これにより、有効信号成分は同位相で2倍となり、オフセット信号成分は逆位相となって相殺される。

【 0 0 0 5 】

製品の優劣を決める他の要因は、磁界の検出を製品に組み込まれる磁石の極性に関係なく、すなわち両極性に対応して行なえるか否かということである。磁石の極性に関係なく磁界強度の判定を行なうことができれば、磁石とホールICとが組み込まれた位置センサ等において磁石の配置の際に、磁石の向きを管理する必要がなくなる。

【 0 0 0 6 】

以下、日本特許文献（例えば、特許文献2参照）に開示された、両極性に対応可能な磁界強度判定を行なう従来の磁界センサについて図面を参照しながら説明する。

【 0 0 0 7 】

図4は従来の両極性に対応可能な磁界強度判定回路の構成例を示している。図

4に示すように、従来の磁界センサは、磁電変換素子101と、該磁電変換素子101の出力電圧を増幅する電圧増幅器102と、電圧増幅器102からの出力電圧を受け、そのしきい値により異なる出力電圧を出力する第1のシュミットトリガ回路103Aと、電圧増幅器102からの出力電圧を第1のシュミットトリガ回路103Aの入力信号の極性と反転させて受ける第2のシュミットトリガ回路103Bと、第1のシュミットトリガ回路103A及び第2のシュミットトリガ回路103Bからの出力信号を受けてラッチするロジックラッチ回路104とを有している。

【0008】

このように構成された従来の磁界センサの動作を説明する。

【0009】

まず、磁電変換素子101を通過する磁束密度に比例して、該磁電変換素子101の出力端子に発生したホール電圧を増幅器102により増幅して増幅電圧 V_H を得る。

【0010】

次に、増幅電圧 V_H を第1のシュミットトリガ回路103A及び第2のシュミットトリガ回路103Bに入力し、増幅電圧 V_H の値が設定電圧値よりも大きいかな否かを比較してその判定値を出力する。第1のシュミットトリガ回路103A及び第2のシュミットトリガ回路103Bは等価であって、入力信号の極性を互いに反転させることにより、N極性及びS極性の磁界強度のレベル検出をこれら2つのシュミットトリガ回路103A、103Bで別々に行なう。

【0011】

次に、第1のシュミットトリガ回路103A及び第2のシュミットトリガ回路103Bの出力値は、ロジックラッチ回路104に入力される。その後、ロジックラッチ回路104から、N極性及びS極性の磁界強度に対応した2つのシュミットトリガ回路103A、103Bの出力値にある演算を施した出力値が出力される。ここで、ロジックラッチ回路104からの出力値は、極性に無関係で且つ設定磁界の強度よりも検出磁界の強度が大きいかな否かを表わす2進値である。

【0012】

【特許文献 1】

米国特許第 4 0 3 7 1 5 0 号明細書

【特許文献 2】

特開平 7 - 8 3 6 9 9 号公報

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、前記従来の磁界センサは、磁界の極性に関係なく両極性に対応して磁界強度の検出を行なうには、電圧比較回路として 2 組のシュミットトリガ回路が必要となるため、回路規模と消費電流とを共に小さくすることが困難であるという問題を有している。

【 0 0 1 4 】

本発明は、前記従来の問題を解決し、磁界の極性に無関係であり両極性に対応した磁界強度の検出を簡単な構成で且つ消費電流を低減できるようにすることを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

前記目的を達成するため、本発明は、第 1 の端子対と第 2 の端子対とを備えて印加された磁界に応じた信号を出力する磁電変換素子と、この磁電変換素子の第 1、第 2 の端子対の信号を個々に与え、外部から与える信号の第 1、第 2、第 3、第 4 の期間に応じて切り替えた信号を出力する第 1 のスイッチ部と、この第 1 のスイッチ部の出力信号を増幅して出力端子対に信号を出力する増幅器と、前記増幅器の出力端子対に両端が接続された記憶素子と、前記出力端子対の一方と前記記憶素子の一端子間に挿入接続され、前記外部から与える信号の第 1 の期間及び第 3 の期間に連動して閉じ、第 2 の期間及び第 4 の期間に連動して開く第 2 のスイッチ部と、前記第 2 のスイッチ部両端の少なくとも一方の信号を出力するスイッチ出力端子とを備え、

前記第 1 のスイッチ部が、前記外部から与える信号の第 1 の期間と第 4 の期間に前記磁電変換素子の第 1 端子対の信号を出力し、前記外部から与える信号の第 2 の期間と第 3 の期間に前記磁電変換素子の第 2 端子対の信号を出力することを

特徴とするものである。

【 0 0 1 6 】

この構成を備えることによって、磁電変換器の構造上の対称性を用いて磁電変換器の出力に生じるオフセット電圧成分を除去すると共に増幅器に付随するオフセット電圧を除去して磁電変換器の出力信号を取り出すことができる。

【 0 0 1 7 】

さらに、前記スイッチ出力端子の信号を与えて所定の値と比較した結果を出力する比較器を備えたことによって精度の高い検出出力を取り出す事ができる。

【 0 0 1 8 】

また、前記比較器の出力信号に応じて異なる電圧を前記スイッチ出力端子の信号に付加することでヒステリシスを付加した検出を行うことができる。

【 0 0 1 9 】

さらに、前記スイッチ出力端子の信号を与えて、前記外部から与える信号の第2の期間と第4の期間の信号値を判定した信号を出力する判定回路を備えたことにより、磁界の極性がN極若しくはS極であっても信号の有無を判定することができる。

【 0 0 2 0 】

【発明の実施の形態】

（第1の実施形態）

本発明の第1の実施形態について図面を参照しながら説明する。

【 0 0 2 1 】

図1は本発明の第1の実施形態に係る磁界センサの構成を示している。

【 0 0 2 2 】

図1に示すように、第1のスイッチ回路16は、複数個のスイッチを備える。スイッチ回路16を介して、磁電変換素子の端子対の一方に電源電圧を印加し、他方を接地する。このとき、磁電変換素子の他の端子対に発生する信号電圧を電圧増幅器12の入力端子に与える。

【 0 0 2 3 】

具体的には、スイッチ回路16の第1のスイッチ21Aは、磁電変換素子11

の4つの頂角のうち、第1の頂角に位置する第1の外部端子と接続され、第1の選択信号 a に同期して閉状態となり、第2のスイッチ 2 1 B は、磁電変換素子 1 1 の第1の頂角と隣接した第2の頂角に位置する第2の外部端子と接続され、第2の選択信号 b に同期して閉状態となる。第3のスイッチ 2 2 A は、磁電変換素子 1 1 の第1の頂角と対向した第3の頂角に位置する第3の外部端子と接続され、第1の選択信号 a に同期して閉状態となる。第4のスイッチ 2 2 B は、磁電変換素子 1 1 の第2の頂角と対向した第4の頂角に位置する第4の外部端子と接続され、第2の選択信号 b に同期して閉状態となる。

【 0 0 2 4 】

さらに、第1のスイッチ回路 1 6 は、一端が磁電変換素子 1 1 の第2の外部端子と接続され、他端が電圧増幅器 1 2 の非反転入力端子と接続され、第1の選択信号 a に同期して閉状態となる第5のスイッチ 2 3 A を備える。また、一端が磁電変換素子 1 1 の第1の外部端子と接続され、他端が電圧増幅器 1 2 の非反転入力端子と接続され、第2の選択信号 b に同期して閉状態となる第6のスイッチ 2 3 B を備える。さらに、一端が磁電変換素子 1 1 の第4の外部端子と接続され、他端が電圧増幅器 1 2 の逆相入力端子と接続され、第1の選択信号 a に同期して閉状態となる第7のスイッチ 2 4 A を備える。また、一端が磁電変換素子 1 1 の第3の外部端子と接続され、他端が電圧増幅器 1 2 の逆相端子と接続され、第2の選択信号 b に同期して閉状態となる第8のスイッチ 2 4 B とを備える。

【 0 0 2 5 】

この構成において、第1の選択信号期間 a において、スイッチ 2 1 A と 2 2 A が導通し、スイッチ 2 3 A の一端が電圧増幅器 1 2 の非反転入力端子に接続され、スイッチ 2 4 A の一端が電圧増幅器 1 2 の反転入力端子に接続される。また、第2の選択信号期間 b において、スイッチ 2 1 B と 2 2 B が導通し、スイッチ 2 3 B の一端が電圧増幅器 1 2 の非反転入力端子に接続され、スイッチ 2 4 B の一端が電圧増幅器 1 2 の反転入力端子に接続される。電圧増幅器 1 2 の入力端子間に与えられる電圧の極性は第1の選択信号期間と第2の選択信号期間とで互いに逆の極性となる。

【 0 0 2 6 】

電圧増幅器の非反転出力端子にスイッチ 1 8 の一端が接続され、スイッチ 1 8 の他端が第 1 の記憶素子 1 7 の一端に接続される。第 1 の記憶素子 1 7 の他端は、電圧増幅器 1 2 の反転出力端子に接続される。スイッチ 1 8 の両端の電圧は、シュミットトリガ回路 1 3 に与えられる。

【 0 0 2 7 】

シュミットトリガ回路 1 3 は、比較器 1 3 0 と、一端が第 2 の記憶素子 3 3 の他電極と接続され、他端が第 1 の MOS スイッチ 3 6 と接続され、第 1 の選択信号 CK 1 に同期して閉状態となるスイッチ 3 4 A を備える。また、一端が第 2 の記憶素子 3 3 の一電極と接続され、他端がヒステリシス値（設定磁界）の設定用電圧源 3 8 と接続され、第 1 の選択信号 CK 1 に同期して閉状態となるスイッチ 3 5 A とを有している。

【 0 0 2 8 】

さらに、シュミットトリガ回路 1 3 は、一端が第 1 の MOS スイッチ 3 6 のスイッチ 3 4 A 側の端子と接続され、他端が設定用電圧源 3 8 と接続された第 2 の MOS スイッチ 3 7 を備える。また、入力端子がロジックラッチ回路 1 5 の出力端子と接続され、出力端子が第 1 の MOS スイッチ 3 6 の PMOS のゲート電極と接続され且つ第 2 の MOS スイッチ 3 7 の NMOS のゲート電極と接続された第 1 のインバータ 3 9 とを有している。

【 0 0 2 9 】

また、第 1 の MOS スイッチ 3 6 の NMOS のゲート電極及び第 2 の MOS スイッチ 3 7 の PMOS のゲート電極は、ロジックラッチ回路 1 5 の出力端子と接続されている。

【 0 0 3 0 】

ロジックラッチ回路 1 5 は、入力端子が比較器 1 3 0 の出力端子と接続され、クロック端子に第 2 の選択信号 CK 1 を受ける第 1 のフリップフロップ 5 1 と、一方の入力端子に比較器 1 3 0 からの出力信号を受け、他方の入力端子に第 1 のフリップフロップ 5 1 からの出力信号を受ける 2 入力 NOR ゲート 5 2 と、入力端子が 2 入力 NOR ゲート 5 2 からの出力信号を受け、クロック端子に第 3 の選択信号 CK 2 を受ける第 2 のフリップフロップ 5 3 とにより構成されている。

【 0 0 3 1 】

ロジックラッチ回路 1 5 の後段には、第 2 のフリップフロップ 5 3 の出力信号を受ける出力バッファとしての第 2 のインバータ 1 9 が接続されている。

【 0 0 3 2 】

以下、前記のように構成された磁界センサの動作を説明する。

【 0 0 3 3 】

図 2 において、第 1 の選択信号 a が H i g h、第 2 の選択信号 b が L o w、第 3 の選択信号 c が H i g h 状態を第 1 の期間とする。第 1 の選択信号 a が L o w、第 2 の選択信号 b が H i g h、第 3 の選択信号 c が L o w 状態を第 2 の期間とする。第 1 の選択信号 a が L o w、第 2 の選択信号 b が L o w、第 3 の選択信号 c が L o w 状態を第 3 の期間とする。第 1 の選択信号 a が H i g h、第 2 の選択信号 b が L o w、第 3 の選択信号 c が L o w 状態を第 4 の期間とする。

【 0 0 3 4 】

第 1 の期間において、スイッチ 2 1 A、2 2 A が導通して磁電変換素子 1 1 に電位が与えられ、スイッチ 2 3 A、2 4 A が導通して磁電変換素子 1 1 の出力信号を電圧増幅回路 1 2 の入力端子対に与える。スイッチ 1 8 が第 2 の選択信号 b によって閉じていることから電圧増幅器で増幅された信号電圧がコンデンサ 1 7 の両端に与えられる。

【 0 0 3 5 】

一方、比較器 1 3 0 の入力端子には、スイッチ 1 8 が閉じていることからコンデンサ 3 3 の両端の電圧が与えられる。コンデンサ 3 3 の各端子には、スイッチ 3 4 A、3 5 A が閉じていることから、電圧源 3 8 の電圧が与えられる。電圧源 3 8 は、電源電圧を抵抗 1 4 0 ~ 1 4 5 によって分割した電圧を出力する。スイッチ 3 5 A の他端には、抵抗 1 4 2 と 1 4 3 の接続部の電圧が与えられる。スイッチ 3 4 A の他端には、M O S スイッチ 3 6 若しくは M O S スイッチ 3 7 を介して電圧が与えられる。ここで、ゲート 3 9 の入力部の電圧が H i g h のときには、M O S スイッチ 3 6 が導通し、ゲート 3 9 の入力部の電圧が L o w のときには M O S スイッチ 3 7 が導通する。M O S スイッチ 3 6 が導通すると抵抗 1 4 0 と抵抗 1 4 1 の接続部の電圧がスイッチ 3 4 A に与えられる。また、M O S スイ

チ 3 7 が導通すると抵抗 1 4 1 と抵抗 1 4 2 の接続部の電圧が与えられる。このようにして、コンデンサ 3 3 の両端に所定の電圧が印加される。

【 0 0 3 6 】

第 2 の期間において、スイッチ 2 1 A、2 2 A 及び 3 4 A、3 5 A が開放状態となる。ここで、スイッチ 2 1 B、2 2 B が導通して磁電変換素子 1 1 に電位が与えられる。また、スイッチ 2 3 B、2 4 B が導通して磁電変換素子 1 1 の出力信号が電圧増幅回路 1 2 の入力端子対に与えられる。一方、スイッチ 1 8 が第 2 の選択信号 b によって開放されていることから電圧増幅器で増幅された信号電圧が、コンデンサ 1 7 とコンデンサ 3 3 の直列接続の両端に与えられる。ここで、スイッチ 2 3 B、2 4 B で発生する電圧の極性は、磁電変換素子 1 1 構造の対称性から第 1 の期間に発生するスイッチ 2 3 A、2 4 A の電圧の極性に対して逆である。

【 0 0 3 7 】

ここで、スイッチ 1 8 が開放すると、スイッチ 1 8 とコンデンサ 1 7 との接続部に対してコンデンサ 1 7 と電圧増幅器 1 2 の反転出力端子との接続部の電圧は、相対的に正の値になっている。この状態でさらに増幅器 1 2 の反転出力端子に対して非反転出力端子の電圧の極性が正の値となって出力される。このことから、第 2 の期間のスイッチ 1 8 の両端には、第 1 の期間と第 2 の期間の信号が足されて出力される。尚、電圧増幅器 1 2 の入力端子対の電圧を増幅して出力端子対から取り出す電圧に増幅器のオフセット電圧が常時存在すると、第 1 の期間と第 2 の期間とではスイッチ 1 8 の両端に対して逆極性となり、実質的にこのオフセット電圧分はキャンセルされる。また、スイッチ 2 3 A、2 4 A 間の信号とスイッチ 2 3 B、2 4 B 間の信号に同一極性のオフセットがあると、スイッチ 1 8 の両端では、第 1 の期間と第 2 の期間とで逆極性となることから、キャンセルされる。

【 0 0 3 8 】

このようにして、磁電変換器 1 1 と増幅器 1 2 が持つオフセット電圧成分がキャンセルされる。

【 0 0 3 9 】

次に、比較器 1 3 0 の入力端子対には、コンデンサ 1 7 の電圧に対してコンデンサ 3 3 両端の電圧を引いた値が印加される。

【 0 0 4 0 】

比較器 1 3 0 に与えられた電圧値がゼロ以上で比較器出力には 2 値電圧の一方の High の値が出力される。尚、第 1 の期間では、コンデンサ 3 3 の両端の電圧が負であり、出力は Low である。

【 0 0 4 1 】

第 3 の期間において、第 2 の期間と同様に、スイッチ 2 1 B、2 2 B が導通して磁電変換素子 1 1 に電位が与えられる。また、スイッチ 2 3 B、2 4 B が導通して磁電変換素子 1 1 の出力信号が電圧増幅器 1 2 の入力端子対に与えられる。スイッチ 1 8 が第 2 の選択信号 b によって閉じていることから電圧増幅器で増幅された信号電圧がコンデンサ 1 7 の両端に与えられる。

【 0 0 4 2 】

第 4 の期間において、第 1 の期間と同様に、スイッチ 2 1 A、2 2 A が導通して磁電変換素子 1 1 に電位が与えられ、スイッチ 2 3 A、2 4 A が導通して磁電変換素子 1 1 の出力信号を電圧増幅器 1 2 の入力端子対に与える。一方、スイッチ 1 8 が第 2 の選択信号 b によって開放されていることから電圧増幅器で増幅された信号電圧が、コンデンサ 1 7 とコンデンサ 1 3 の直列接続の両端に与えられる。ここで、スイッチ 2 3 B、2 4 B で発生する電圧の極性は、磁電変換素子 1 1 構造の対称性から第 3 の期間に発生するスイッチ 2 3 A、2 4 A の電圧の極性に対して逆である。

【 0 0 4 3 】

第 1 及び第 2 の期間に増幅器 1 2 に与えられる信号の極性と第 3 及び第 4 の期間に与えられる信号の極性は互いに逆の極性である。

【 0 0 4 4 】

第 1 ～第 4 の時間は、磁電変換素子 1 1 に外部から与えられる磁界の状態が、第 1 ～第 4 の期間において急激に変わらないことを前提とする。

【 0 0 4 5 】

これらのことから、第 2 の期間と第 4 の期間のいずれか一方において検出が可

能となる。

【 0 0 4 6 】

比較器 1 3 0 の出力は、ロジックラッチ回路 1 5 に与えられる。ロジックラッチ回路には、第 2 の期間内と第 4 の期間内に比較器 1 3 0 の出力信号をラッチするための信号 C K 1 と C K 2 が個々に与えられる。

【 0 0 4 7 】

まず、比較器 1 3 0 の出力状態に応じた値が C K 1 によってフリップフロップ 5 1 の Q 出力に保持される。この Q 出力信号と比較器 1 3 0 の出力信号とが N O R 回路 5 2 に与えられる。どちらかの値が “ L o w ” であるときに N O R 回路 5 2 の出力は “ H i g h ” である。N O R 回路 5 2 の出力は、C K 2 によってフリップフロップ 5 3 の出力に保持される。

【 0 0 4 8 】

第 2、第 4 の何れかの期間で比較器 1 3 0 の出力が “ H i g h ” であれば、フリップフロップ 5 3 の出力は “ L o w ” である。また、これらの何れかの期間が “ L o w ” であれば、フリップフロップ 5 3 の出力は “ H i g h ” である。フリップフロップ 5 3 の出力がロジックラッチ 1 5 の出力として取り出される。

【 0 0 4 9 】

ロジックラッチ 1 5 の出力は、出力インバータ 1 9 の入力部とシュミットトリガ回路 1 3 内のインバータ 3 9 の入力部に与えられる。

【 0 0 5 0 】

ロジックラッチ回路 1 5 の出力が “ L o w ” であるとき、出力インバータ回路出力から外部に向かう電流駆動信号が取り出される。ロジックラッチ回路 1 5 の出力が “ H i g h ” であるとき、外部から出力インバータ回路出力部に向かう電流信号が与えられる。

【 0 0 5 1 】

また、ロジックラッチ回路 1 5 の出力が “ H i g h ” であると、インバータ 3 9 の入力部の電圧が “ H i g h ” となり、M O S スイッチ 3 6 の一端には、抵抗 1 4 0 と抵抗 1 4 1 の接続部の電圧が与えられる。ロジックラッチ回路 1 5 の出力が “ L o w ” であると、インバータ 3 9 の入力部の電圧が “ L o w ” となり、

MOSスイッチ37の一端には、抵抗141と抵抗142の接続部の電圧が与えられる。

【0052】

以上から、第2、第4の期間で何ら信号が検出されないとき、抵抗140、141の接続部の電圧がコンデンサ33の一方に与えられ、第2若しくは第4の期間で信号が検出されると、抵抗141、142の接続部の電圧がコンデンサ33の一方に与えられる。このようにコンデンサ33の一方に与える電圧値を出力信号に応じて異ならせることによって、比較器130の比較レベルにヒステリシスを持たせることができる。

【0053】

磁界を検出しない状態では、高いヒステリシス電圧を比較器130に与え、一旦検出したあとでは低いヒステリシス電圧を比較器130に与えることができる。

【0054】

図3は、本発明の第2の実施形態を示した図である。図1のロジックラッチ回路15に対してロジックラッチ回路150がシュミットトリガ回路13の入出力部に接続される。

【0055】

シュミットトリガ回路13の比較器130の出力部がフリップフロップ510及びフリップフロップ511のD入力端子に接続される。フリップフロップ510のクロック入力端子には信号CK1が与えられる。また、フリップフロップ511のクロック入力端子に信号CK2が与えられる。フリップフロップ510及び511のQ出力がNOR52に個々に与えられる。CK1とCK2で検出される信号が共に“Low”であるときにロジックラッチの出力が“High”である。CK1とCK2で検出される信号のいずれかが“High”であるときにロジックラッチの出力が“Low”である。

【0056】

【発明の効果】

本発明に係る磁界センサによると、1つの電圧比較器で磁界の極性に関係なく

両極性に対応することができ、磁界強度の検出を簡単な構成で且つ消費電流を低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る磁界センサを示す構成図

【図 2】

本発明の第 1 の実施形態に係る磁界センサに適用される同期信号のタイミングチャート

【図 3】

本発明の第 2 の実施形態に係る磁界センサを示す構成図

【図 4】

従来の両極性に対応可能な磁界強度判定回路を示す構成図

【符号の説明】

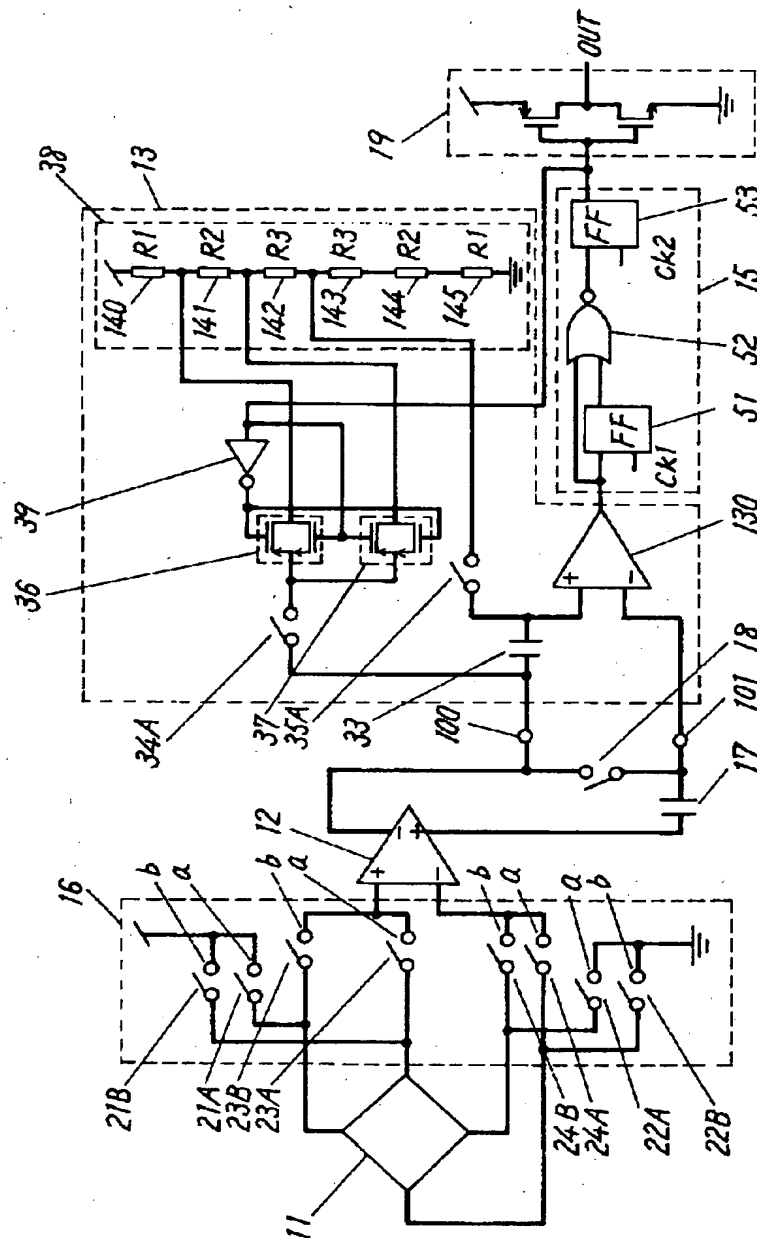
- 1 1 磁電変換素子
- 1 2 電圧増幅器
- 1 3 シュミットトリガ回路（電圧比較回路）
- 1 5 ロジックラッチ回路
- 1 6 第 1 のスイッチ回路
- 1 7 記憶素子
- 1 9 第 2 のインバータ
- 2 1 A 第 1 のスイッチ
- 2 1 B 第 2 のスイッチ
- 2 2 A 第 3 のスイッチ
- 2 2 B 第 4 のスイッチ
- 2 3 A 第 5 のスイッチ
- 2 3 B 第 6 のスイッチ
- 2 4 A 第 7 のスイッチ
- 2 4 B 第 8 のスイッチ
- 3 3 記憶素子

3 4 A、3 5 A スイッチ
3 6、3 7 MOSスイッチ
3 9 インバータ
5 1 フリップフロップ回路
5 2 NOR回路
5 3 フリップフロップ回路
1 0 1 磁電変換素子
1 0 2 電圧増幅器
1 0 3 A、1 0 3 B シュミットトリガ回路
1 0 4 ロジックラッチ回路
1 3 0 比較器
5 1 0、5 1 1 フリップフロップ回路

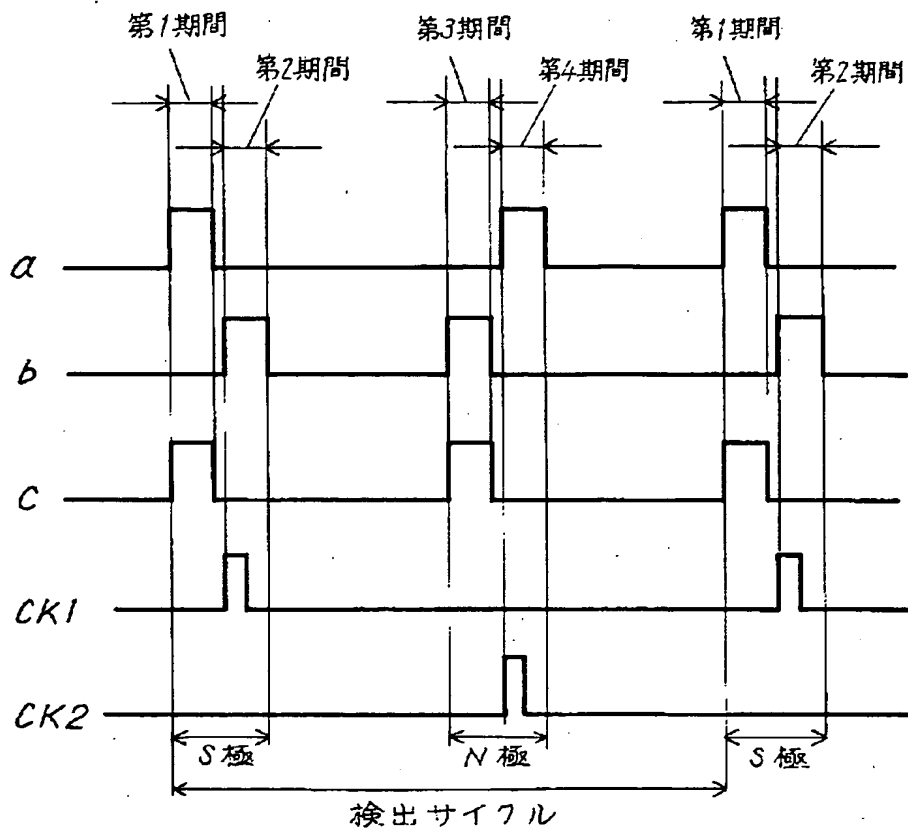
【書類名】

図面

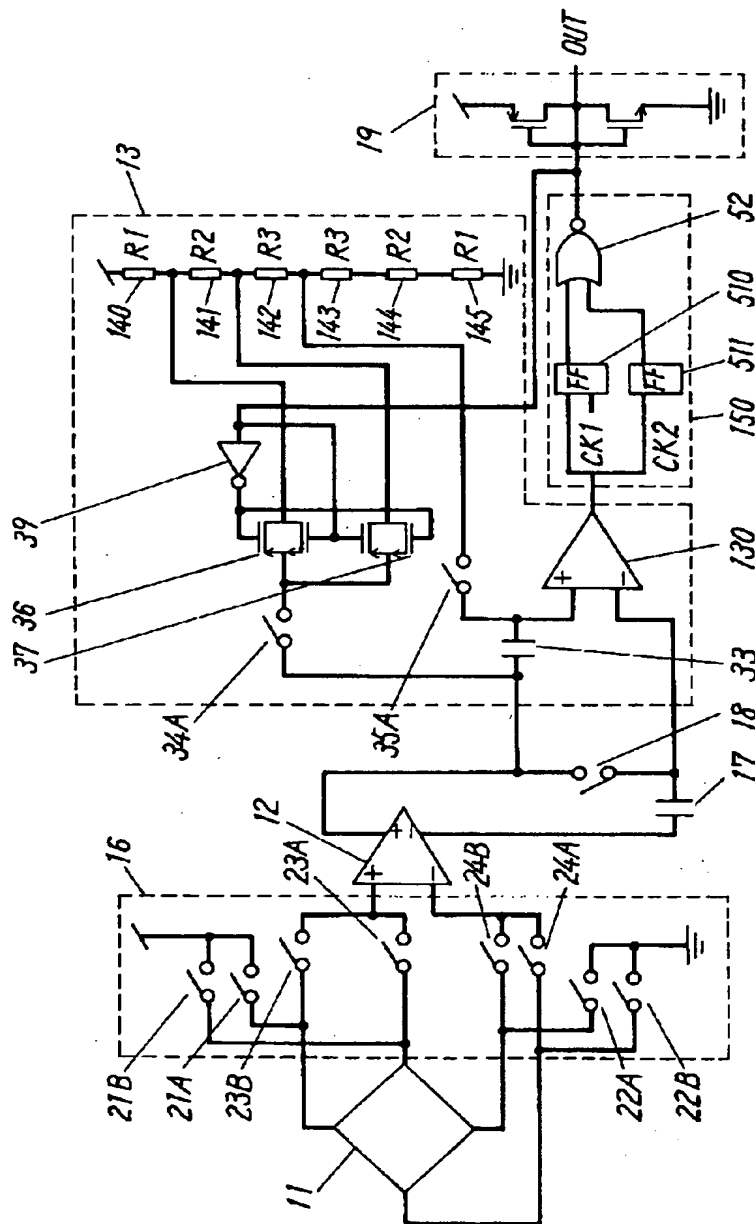
【図 1】



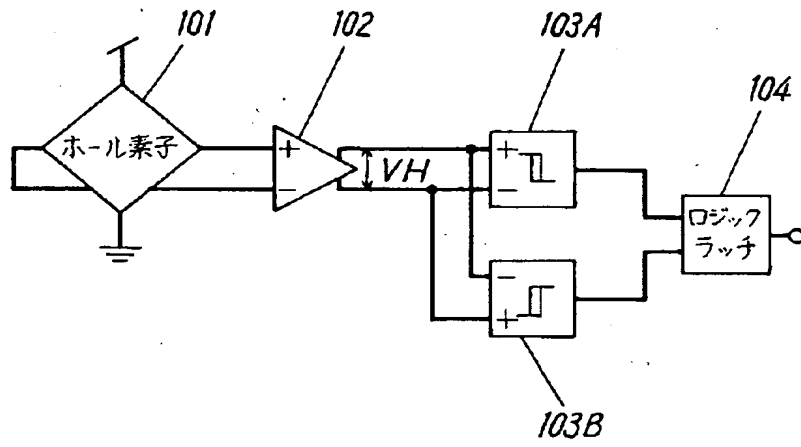
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 磁界の極性に無関係であり両極性に対応した磁界強度の検出を簡単な構成で且つ消費電流を低減できるようにすること。

【解決手段】 磁界に応じた信号を出力する磁電変換素子 1 1 と、外部から与える信号の第 1、第 2、第 3、第 4 の期間に応じて切り替えた信号を出力する第 1 のスイッチ回路 1 6 と、増幅器 1 2 と、増幅器 1 2 の出力端子対に両端が接続された記憶素子 1 7 と、出力端子対の一方と記憶素子 1 7 の一端子間に挿入接続され、外部から与える信号の第 1 及び第 3 の期間に連動して閉じ、第 2 及び第 4 の期間に連動して開くスイッチ 1 8 と、スイッチ 1 8 両端の少なくとも一方の信号を出力するスイッチ出力端子とを備える。ここで、第 1 のスイッチ回路 1 6 が、外部から与える信号の第 1 及び第 4 の期間に磁電変換素子 1 1 の一端子対の信号を出力し、外部から与える信号の第 2 及び第 3 の期間に磁電変換素子 1 1 の他端子対の信号を出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社